



NP

Università degli Studi di Udine

ESAMI DI STATO
DI ABILITAZIONE ALL'ESERCIZIO DELLA PROFESSIONE DI INGEGNERE

1^ SESSIONE - ANNO 2025

SEZIONE A

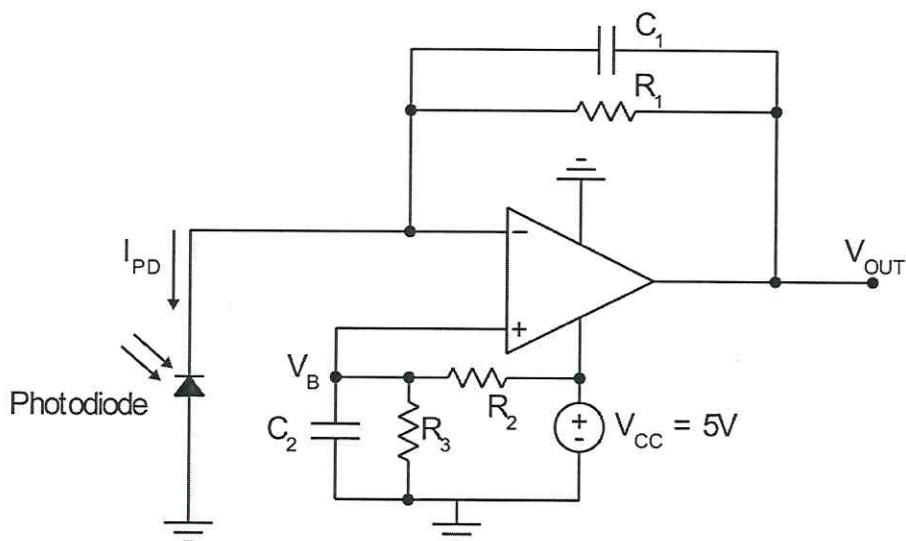
SETTORE:
INGEGNERE DELL'INFORMAZIONE

2^ PROVA SCRITTA

ING/INF

Tema n.1

Lo schema di figura riporta un esempio di amplificatore di transimpedenza, realizzato con OPAMP, per la trasduzione del segnale generato da un fotodiode. Il fotodiodo può essere visto come un generatore ideale di corrente in parallelo alla sua capacità di giunzione (C_J).



- Il candidato descriva sinteticamente il funzionamento del circuito riportato.
- Sapendo che la tensione al nodo di uscita può variare tra 0.1 V e 4.9 V, il candidato determini i valori di R_2 ed R_3 che garantiscono la corretta polarizzazione del circuito.
- Il candidato determini il valore di R_1 sapendo che la massima corrente che può scorrere attraverso il fotodiodo è $I_{PD} = 90 \mu\text{A}$.
- Il candidato scriva l'espressione della caratteristica statica $V_{OUT}(I_{PD})$ e ne tracci il grafico.

Si disegni ora il circuito equivalente per l'analisi in frequenza e siano C_J la capacità di giunzione del fotodiodo, C_D la capacità di ingresso di modo differenziale (posta tra gli ingressi + e -), C_{CM1} e C_{CM2} le capacità di ingresso di modo comune (tra ciascuno dei due ingressi e massa).

- Sapendo che $C_J = 11 \text{ pF}$ e che $C_D = C_{CM1} = C_{CM2} = 5 \text{ pF}$, il candidato determini *i)* il valore di C_1 necessario per avere il polo della risposta in frequenza a $f_p = 1 \text{ MHz}$; *ii)* il minimo prodotto guadagno-banda passante che garantisce la stabilità del circuito. Per farlo si può utilizzare un'analisi grafica di tipo



NB

Università degli Studi di Udine

rate-of-closure (ROC). Il rate-of-closure è la differenza di pendenza (in dB/dec) tra la curva dell'inverso del fattore di retroazione ($1/\beta$) e della curva del guadagno in anello aperto nel punto in cui queste si intersecano (si assuma che il comportamento in frequenza del guadagno in anello aperto sia assimilabile a quello di una funzione di trasferimento con singolo polo). Il circuito è stabile se ROC = 20 dB/dec.

6. Calcolare il margine di fase.



N/3

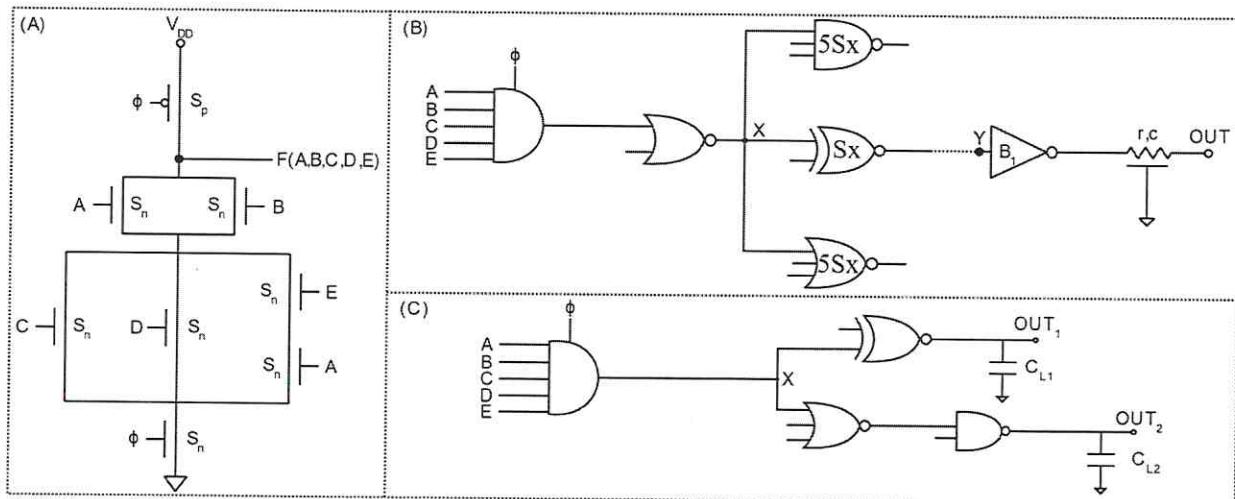
Università degli Studi di Udine

Tema n.2

Si consideri una tecnologia CMOS di cui sono noti i seguenti parametri:

$$V_{DD} = 2 \text{ V}, |V_{TO}| = 0.3 \text{ V}, \beta'_n = 400 \mu\text{A}/\text{V}^2, \beta'p = 250 \mu\text{A}/\text{V}^2, C_{M1} = 0.9 \text{ fF}, p_{INV} = 1.2.$$

Se non diversamente specificato, si assuma poi che la lunghezza di canale di tutti i MOSFET sia $L = L_{MIN} = 300 \text{ nm}$ e che i gate siano dimensionati in modo da avere tempi di salita e di discesa di caso peggiore simmetrici.



- Il candidato calcoli il tempo caratteristico della tecnologia (t_{p0}).
- Facendo riferimento al gate dinamico riportato in Figura A, il candidato:
 - Determini la funzione $F(A,B,C,D,E)$ implementata dal gate;
 - Calcoli il logical effort per l'ingresso A ($g_{gate,A}$);
 - Calcoli il parasitic effort del gate (p_{gate}).
- Facendo riferimento al circuito riportato in figura B, in cui il primo gate è il gate dinamico di Figura A, il candidato:
 - Chiamate R_{dr} e C_{dr} la resistenza (calcolata a partire dalla definizione di resistenza equivalente nella metodologia del logical effort) e la capacità di ingresso di un invertitore a dimensionamento minimo, individui la miglior strategia di pilotaggio per l'interconnessione. Calcoli quindi il corrispondente ritardo per il pilotaggio della linea rc (dal nodo Y al nodo OUT). La linea di interconnessione ha sezione rettangolare con altezza $H = 3 \mu\text{m}$, larghezza $W = 10 \mu\text{m}$, lunghezza $L_{en} = 200 \mu\text{m}$ ed è costituita da un materiale con resistività $\rho = 60 \text{ m}\Omega\text{cm}$. Un dielettrico con costante dielettrica $\epsilon_{di} = 3.9 \epsilon_0$ e di spessore $t_{di} = 1 \mu\text{m}$ la separa da un piano conduttore;
 - Noti il dimensionamento dei transistori nMOS del gate dinamico ($S_n = 2$) e dato il dimensionamento del primo buffer di pilotaggio dell'interconnessione rc (B_1) trovato al punto precedente, ottimizzi il ritardo del circuito dall'ingresso A al nodo Y utilizzando la metodologia del logical effort. I transistori nMOS dei gate che hanno come ingresso il nodo X hanno dimensionamento proporzionale a S_x , come indicato in figura. Calcolare quindi il dimensionamento di tutti i gate del circuito.
 - Calcoli il ritardo dall'ingresso A all'uscita OUT.
- Facendo riferimento al circuito di figura C, in cui, nuovamente, il primo gate è il gate dinamico di Figura A, si assuma che $C_{L1} = 30 \text{ fF}$, $C_{L2} = 70 \text{ fF}$ e che lo stage effort di tutti i gate logici connessi tra il nodo X e le uscite OUT_1 e OUT_2 sia pari ad f . Il candidato calcoli lo stage effort ottimo che minimizza il ritardo per il percorso di segnale $A \rightarrow OUT_2$ ed il valore numerico di tale ritardo sapendo che il dimensionamento dei transistori nMOS del gate dinamico è $S_n = 2$.